

Grada računala

Drugi zimski ispitni rok - 16. veljače 2024. godine

ZADATAK 1.

(10 bodova)

Na procesor sa 16-bitnom adresnom i 8-bitnom podatkovnom sabirnicom priključen je memorijski modul ROM kapaciteta 4 KiB tako da je smješten u adresnom podprostoru počevši od adrese 0. U takav sustav potrebno je dodati memorijski modul RAM jednakog kapaciteta kao i ROM, tako da se RAM nalazi u memorijskom podprostoru neposredno iza ROM-a.

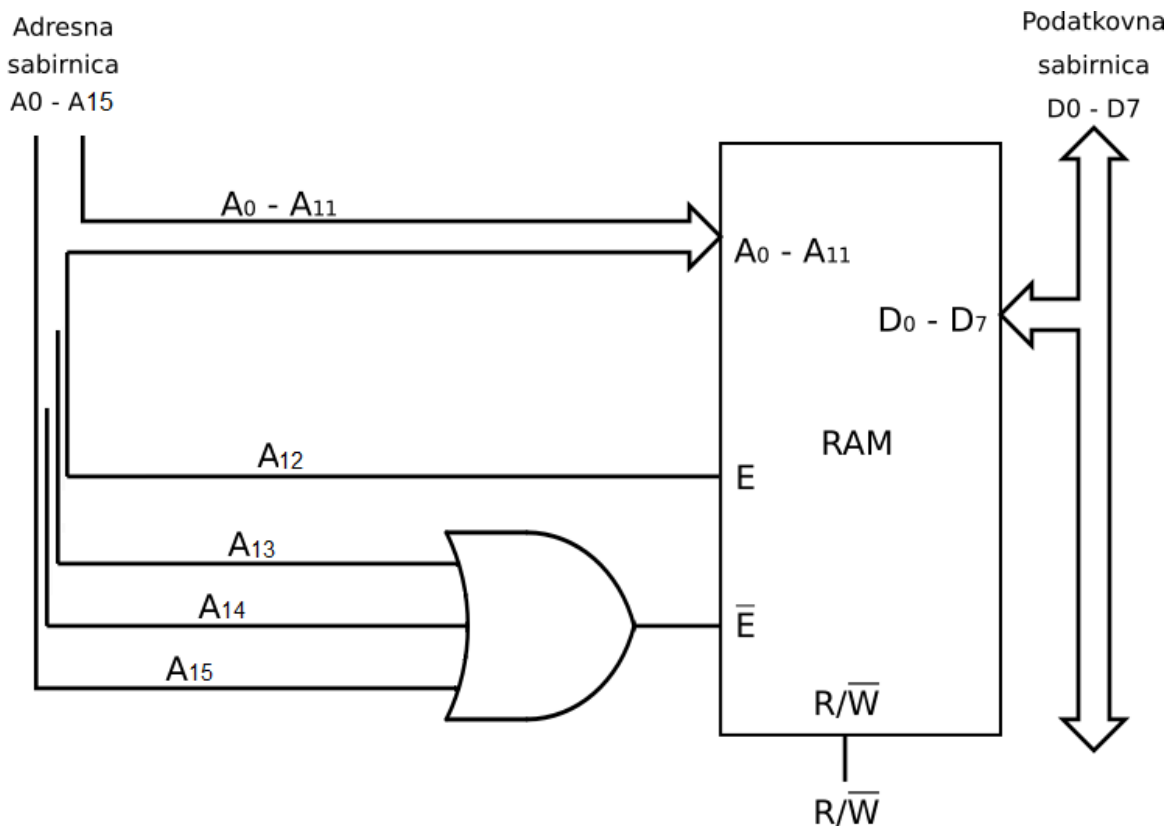
- Odredite raspone adresa koje zauzimaju tako spojeni memorijski moduli ROM i RAM.
- Nacrtajte shemu spajanja RAM modula na vanjske sabirnice procesora, uz pretpostavku da RAM ima odgovarajući broj adresnih priključaka, podatkovne priključke $D_0 - D_7$, priključke E , \bar{E} te R/\bar{W} .

Rješenje. (4 + 6 = 10 bodova)

- Rasponi adresa (heksadekadski):

- ROM: 0000 - 0FFF
- RAM: 1000 - 1FFF

- Shema:



Objašnjenje: Početna adresa RAM-a je heksadekadski 1000 = binarno 0001 0000 0000 0000. Pri adresiranju RAM-a najviša 4 bita adrese su fiksna (A_{15} , A_{14} , A_{13} , $A_{12} = 0001$), a nižih 12 adresira lokaciju unutar modula. Najjednostavnije rješenje je spojiti A_{13} , A_{14} i A_{15} na jedan sklop *ILI*, čiji izlaz se spaja na \bar{E} , a A_{12} spojiti izravno na E . Preostale bitove adresne sabirnice spojiti na adresne priključke modula, podatkovnu sabirnicu na podatkovne priključke $D_0 - D_7$ te R/\bar{W} iz procesora na R/\bar{W} modula. ■

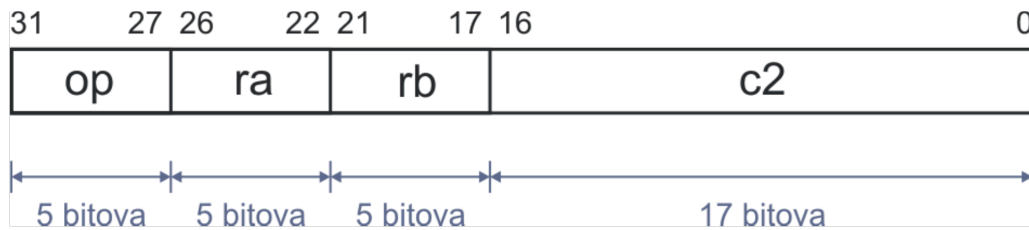
Građa računala

Drugi zimski ispitni rok - 16. veljače 2024. godine

ZADATAK 2.

(10 bodova)

Procesor SRISC izvodi instrukciju *st r3,11(r2)*. Format instrukcije *st* (store) procesora SRISC prikazan je na slici:



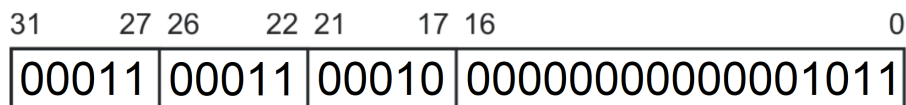
Slika 1: Format instrukcije *st* procesora SRISC

Početni sadržaji registara procesora SRISC (prije izvođenja gore navedene instrukcije) su: $r_0=0$, $r_1=7$, $r_2=6$, $r_3=5$, $r_4=4$, $r_5=3$, $r_6=2$, $r_7=1$, $r_8-r_{31}=0$.

- Odredite numerički oblik navedene instrukcije u memoriji (prikažite binarno ili heksadekadski). Operacijski kod instrukcije *st* je 3.
- Odredite adresu i novu vrijednost memorijske lokacije koja će se promijeniti izvođenjem gore navedene instrukcije *st*.

Rješenje. (5 + 5 = 10 bodova)

- (a) Binarno:



odnosno heksadekadski:

18C4000B.

- (b) Adresa lokacije koja se mijenja je 17 (= $r_2 + 11 = 6 + 11$), a novi sadržaj je 5 (= r_3).

■

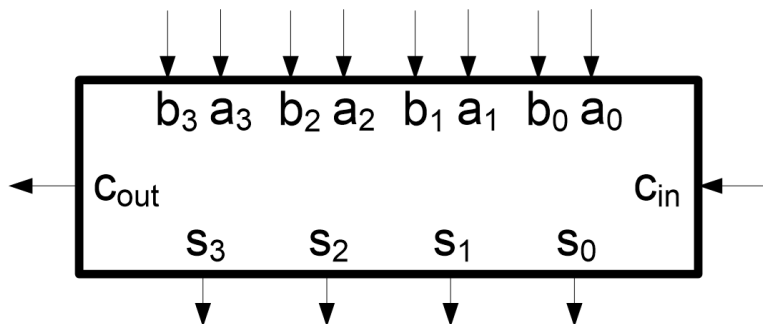
Građa računala

Drugi zimski ispitni rok - 16. veljače 2024. godine

ZADATAK 3.

(10 bodova)

Na raspolaganju je 4-bitno paralelno zbrajalo s ulazima $a_3a_2a_1a_0$, $b_3b_2b_1b_0$ i c_{in} te izlazima $s_3s_2s_1s_0$ i c_{out} .

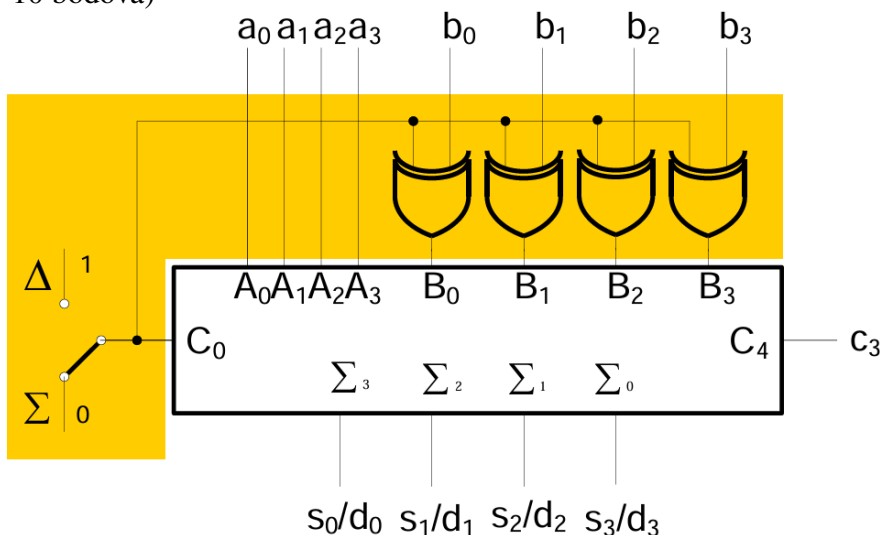


Slika 2: 4-bitno paralelno zbrajalo

- (a) Pomoću takvog četverobitnog paralelnog zbrajala i potrebnih dodatnih logičkih sklopova potrebno je ostvariti sklop koji omogućuje zbrajanje i oduzimanje 4-bitnih brojeva ovisno o dodatnom upravljačkom signalu. Nacrtajte taj sklop.
- (b) Ako se na ulaz A dovede vrijednost $a_3a_2a_1a_0 = 1001$, a na ulaz B $b_3b_2b_1b_0 = 1100$ te aktivira operacija oduzimanja, odredite dvojni komplement operanda B, rezultat operacije oduzimanja koji se pojavljuje na izlazima $s_3s_2s_1s_0$, te vrijednosti zastavica N, Z, C i V uz pretpostavku standardnih značenja tih zastavica.

Rješenje. (5 + 5 = 10 bodova)

(a)



Slika sa slajda 11 prezentacije 5. *Aritmetičko-logička jedinica* (s time da su u rješenju potrebne malo drugačije oznake)

- (b)
- Dvojni komplement operanda B: 0100
 - Rezultat operacije oduzimanja: 1101
 - Vrijednosti zastavica su: N = 1, Z = 0, C = 0, V = 0

■

Građa računala

Drugi zimski ispitni rok - 16. veljače 2024. godine

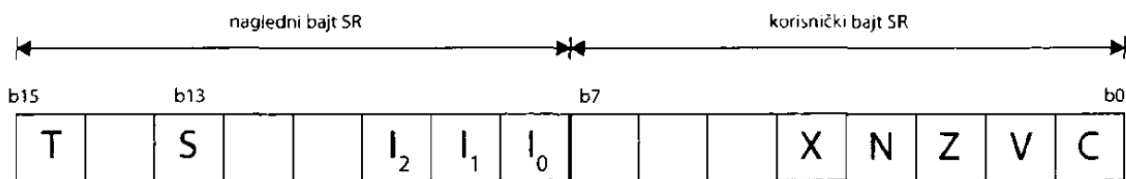
ZADATAK 4.

(10 bodova)

Za računalo temeljeno na mikroprocesoru MC68000 zadan je sljedeći slijed događaja:

1. Računalo izvodi glavni program u korisničkom načinu rada; početna vrijednost kazala stogova je $USP = \$004FF000$, $SSP = \$004A0000$;
2. Tijekom izvođenja glavnog programa događa se prekid razine 6. U trenutku zahtjeva za prekid, vrijednost statusnog registra je $SR = 0007$ (heksadekadski). Početna adresa prekidnog potprograma je $\$00402000$, a povratna adresa je $\$00400628$.
3. Tijekom izvođenja prekidnog potprograma izvodi se instrukcija za poziv potprograma JSR $\$00402800$, povratna adresa je $\$00402654$;
4. Nakon povratka iz potprograma iz prethodne točke nastavlja se izvoditi prekidni potprogram;
5. Tijekom nastavka izvođenja prekidnog potprograma, dolazi do novog zahtjeva za prekid razine 4, početna adresa odgovarajućeg prekidnog potprograma je $\$00403500$, a povratna adresa je $\$00402680$;
6. Izvođenjem odgovarajućeg broja odgovarajućih instrukcija ostvaruje se povratak u glavni program koji se potom izvodi do kraja.

Za opisani scenarij, skicirajte stanja stogova za točke 1 - 6. Raspored zastavica statusnog registra prikazan je na sljedećoj slici:



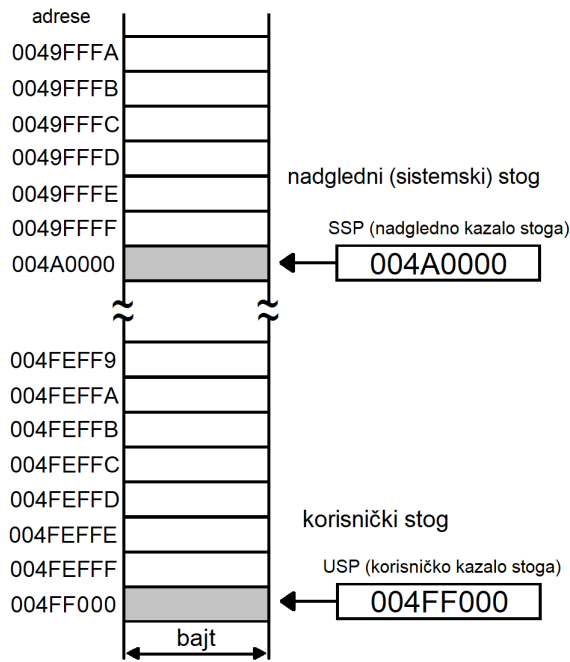
Zastavice: C (*Carry*) - zastavica prijenosa
V (*Overflow*) - zastavica preljeva (aritmetičkog)
Z (*Zero*) - zastavica nule
N (*Negative*) - zastavica negativna vrijednost
X (*Extend*) - zastavica proširenja
I₂, I₁, I₀ (*Interrupt Mask*) - prekidne zastavice
S (*Supervisor*) - nadgledna zastavica
T (*Trace Mode*) - zastavica praćenja

Format statusnog registra procesora MC68000

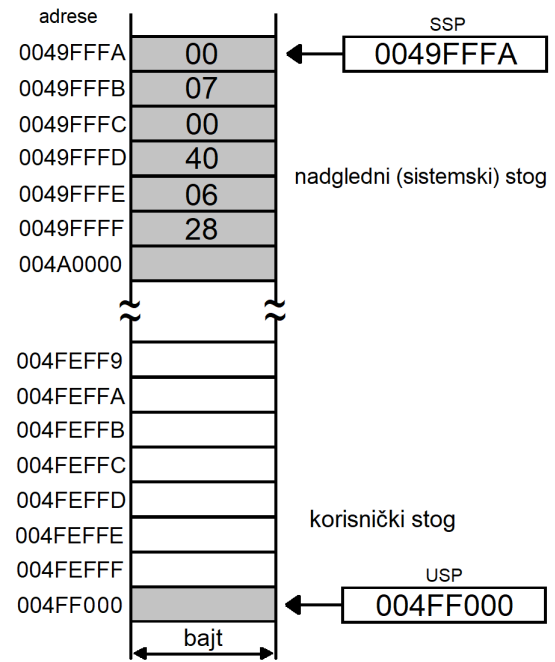
Rješenje. (1 + 2 + 2 + 2 + 2 + 1 = 10 bodova)

Rješenje se nalazi na sljedeće dvije stranice.

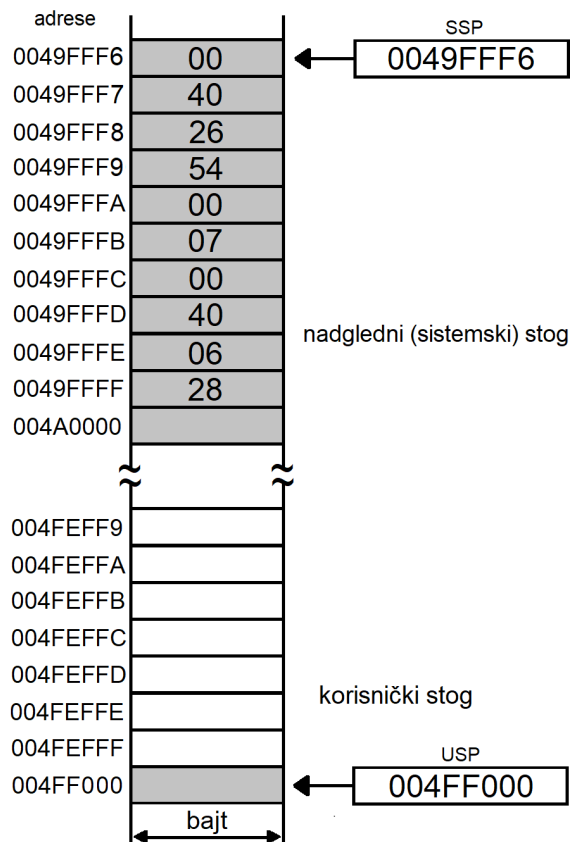
1. Stogovi su prazni.



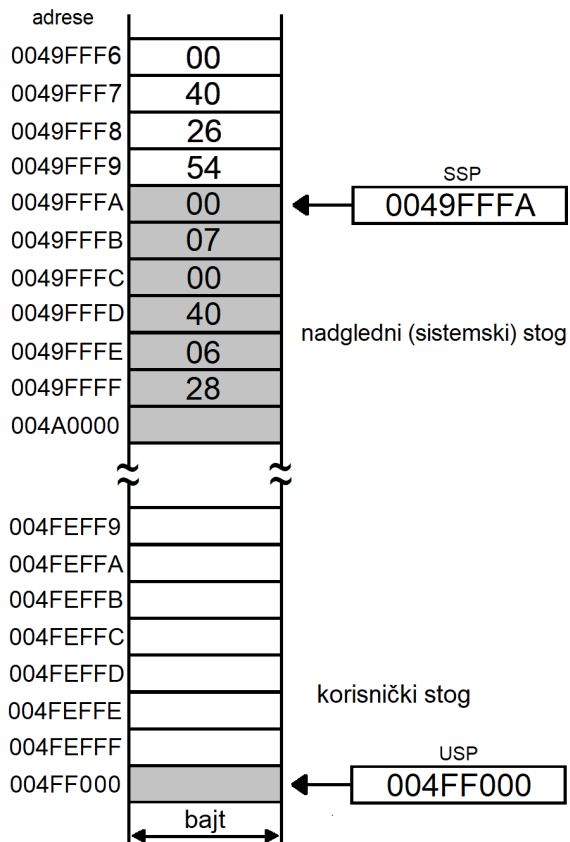
2. Na nadgledni stog ide "minimalni kontekst" koji se sastoji od 2B SR-a i 4B povratne adrese. Korisnički se ne mijenja.



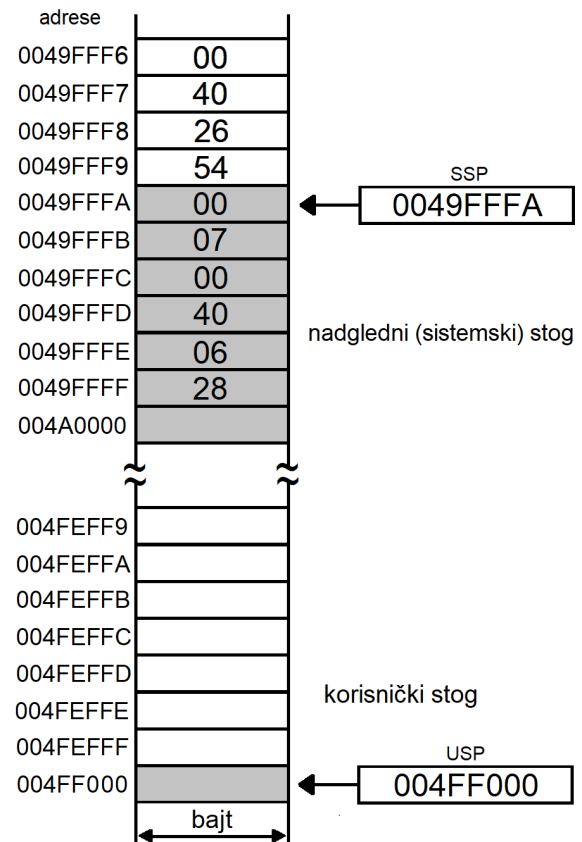
3. Na nadgledni stog ide povratna adresa. Korisnički se ne mijenja.



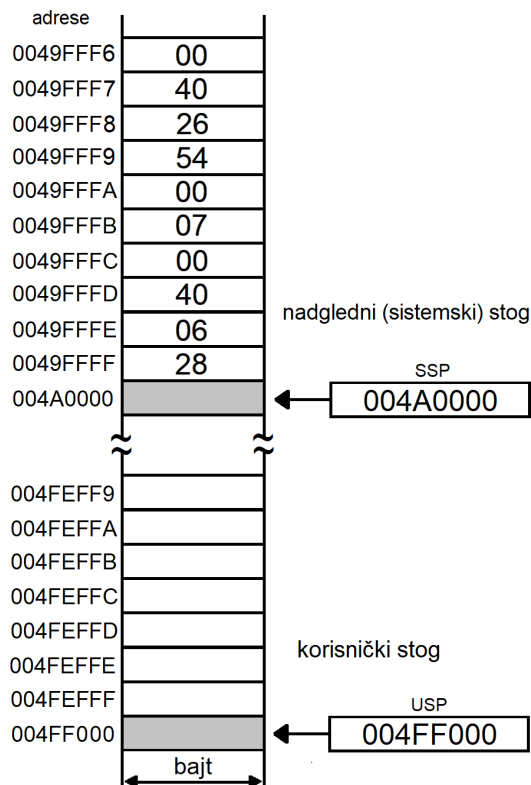
4. Skida se 4B s nadglednog stoga (može ostati stari sadržaj kao trag izvođenja, ali to više nije dio stoga jer SSP sadrži adresu kao u točki 2). Korisnički se ne mijenja.



5. Prekid se ne prihvaća jer je niže razine od onoga koji se još uvijek obrađuje, tako da stanje stogova ostaje isto kao u prethodnoj točki.



6. Skida se 6B s nadglednog stoga i on ostaje prazan (može ostati stari sadržaj kao trag izvođenja, ali to više nije dio stoga jer SSP sadrži adresu kao na početku). Korisnički se ne mijenja.



Građa računala

Drugi zimski ispitni rok - 16. veljače 2024. godine

ZADATAK 5.

(10 bodova)

Računarski sustav ima glavnu memoriju kapaciteta 128 MiB, a virtualni memorijski sustav koristi 32-bitne adrese i ima stranice veličine 4 KiB.

- (a) Odredite broj elemenata tablice adresnog preslikavanja (stranične tablice) modela koji koristi straničenje.
- (b) Odredite organizaciju virtualne i fizičke adrese (naznačiti relevantne grupe bitova).

Rješenje. ($4 + 2 \times 3 = 10$ bodova)

- (a) Tablica adresnog preslikavanja ima

$$\frac{2^{32}}{4 \text{ K}} = \frac{2^{32}}{2^{12}} = 2^{20} = 1 \text{ M elemenata.}$$

- (b)
- Virtualna adresa je duljine 32 bita:
 - bitovi A0 - A11 predstavljaju pomaknuće i služe za izbor riječi (bajta) u stranici
 - bitovi A12 - A31 predstavljaju virtualni stranični broj
 - Fizička adresa je duljine 27 bitova (jer $128 \text{ M} = 128 \cdot 2^{20} = 2^7 \cdot 2^{20} = 2^{27}$):
 - bitovi A0 - A11 predstavljaju pomaknuće i služe za izbor riječi (bajta) u stranici
 - bitovi A12 - A26 predstavljaju fizički stranični broj

■